

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

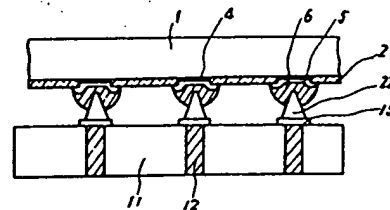
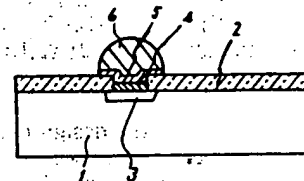
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

- (11) 57-143838 (A) (43) 6.9.1982 (19) JP
 (21) Appl. No. 56-29669 (22) 27.2.1981
 (71) MITSUBISHI DENKI K.K. (72) HIROSHI SHIBATA(3)
 (51) Int. Cl. H01L21/60, H05K3/34

PURPOSE: To obtain high mounting density by a method wherein a bump electrode formed on one substrate and another electrode formed on another substrate are welded together in such a manner that the latter electrode is pushed into the former.

CONSTITUTION: After electrode pattern is formed on a silicon substrate 1 a solder bump part 6 is formed and made semispherical by heating. Resistor film pattern is formed on a ceramic substrate 11, electrolytic plating of metal such as copper is applied and the resistor film is removed, so that metal columns are formed. Metal cones 22' are formed by electrolytic etching in electrolyte. Then the positions of the electrode 22' on the ceramic substrate and the bump 6 on the chip are adjusted and then fixed by pushing the pointed metal cone 22' into the solder bump 6 by compression. In this condition, the solder is reflowed at high temperature, so that satisfactory contact of the bump 6 and the metal cone 22' is obtained.



437/183

~~127/212~~

(21)

cat

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-143838

⑫ Int. Cl.³
H 01 L 21/60
H 05 K 3/34

識別記号

庁内整理番号
6819-5F
6240-5F

⑬ 公開 昭和57年(1982)9月6日

発明の数 1
審査請求 有

(全 4 頁)

⑭ 半導体装置の製造方法

⑮ 特 願 昭56-29669

⑯ 出 願 昭56(1981)2月27日

⑰ 発 明 者 柴田浩

伊丹市瑞原4丁目1番地三菱電
機株式会社エル・エス・アイ研
究所内

⑱ 発 明 者 近藤隆

伊丹市瑞原4丁目1番地三菱電
機株式会社エル・エス・アイ研
究所内

⑲ 発 明 者 小原雅信

伊丹市瑞原4丁目1番地三菱電
機株式会社エル・エス・アイ研
究所内

⑳ 発 明 者 中田秀文

伊丹市瑞原4丁目1番地三菱電
機株式会社エル・エス・アイ研
究所内

㉑ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

㉒ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

第1基板に設けられたパンプ状の第1電極と
第2基板に設けられた第2電極とを溶着するも
のに於て、第2電極に食い込ませた状態で両電
極を溶着するようにした半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体チップを配線層を有する基板と
溶着組立てる半導体装置の製造方法に関するもの
である。特に一枚のセラミック基板上に、多数個
のチップを搭載する高密度実装技術に関するもの
で、本発明を用いることによつて、限りなく高密
度の実装を可能にするものである。

すでに高密度実装のためと、LSIの性能向上の
ためと、リード接続の信頼性向上のために、フリ
ップチップ方式の組立技術がある。

本発明はこの技術に関連するもので、まず、こ
の従来方法について述べる。

一例として第1図に示すようにシリコン基板よ
りなるフリップチップの場合を示す。即ち、シリ
コン基板(1)に熱処理拡散工程や写真製版工程をへ
て、酸化膜(2)、接合層(3)を形成してのち、Al(4)
の電極部パターンを形成する。更に、クローム、
銅よりなる層(5)を設けてから、鉛、錫よりなるハ
ンダパンプ部(6)を蒸着やメッキ技術を用いて形成
し、後、加熱してハンダをリフローして半球状に
する。一方このパンプを有するチップと他の基板、
例えばセラミック基板上の対向電極とを接続する
ためにセラミック基板の所定の電極部に金属板部
あるいはハンダのパンプ部を設ける。第2図では
ハンダのパンプ部を設けた場合を例示している。
即ち、セラミック基板(7)中に外部リード線時と、
ランド時をスルーホール時や、金属膜時を通じて
電気的に接続したのを写真製版技術などによつて
金属配線層時を形成し、その上に、銅、クロムな
どの金属によつて金属膜時を形成する。更に必要
に応じて鉛、錫などの金属によるハンダ層時を形
成する。この場合ハンダ層を設けるのは、シリコ

ンチップ上のハンダパンプと接合しやすくするためである。

次に、第1図に示したチップのパンプと第2図に示したセラミック上のパンプとを、即ち各々の対向電極同士を溶着する。

第3図に示すように、各々の電極同士の位置合せをおこなったあと、フラヘンダを加熱溶解して、パンプ同士を溶着する。

第4図に溶着後の各々のパンプ部の断面構成図を示す。

従来のこの方法において、高密度実装を行う上で、次のような欠点がある。

1チップ上のパンプの数が数100個になつた場合相対するセラミック基板上的パンプと欠陥なく、全てのパンプが溶着し合うことは、極めてむづかしくなり歩留の低下をもたらす。更に1枚のセラミック基板上に多くのチップを同時に搭載する場合、やはり各々のチップのパンプが完全にセラミック基板上的パンプと溶着し合うことがむづかしく、歩留の低下をきたす。

パターンを形成する。この際、ランド4の部分に開孔した図を示しているが、ランド以外の場所に開孔部を設ける際は第2図に示したように、セラミック板の最上層に金属膜のパターンを形成して、すくなくとも開孔部は、金属膜による電導膜としておく。

第5図に示すようなレジストパターンを形成したのち、銅、ニッケル、クロムなどの金属を電気メッキ法によつて、堆積し、その後レジスタを除去する。レジスト膜4の膜厚が十分にメッキ厚みに比べて厚い場合、第6図に示すような、金属柱がセラミック上に形成出来る。次に必要に応じて、メッキ部に熱処理を施して焼鈍したあと、電解液例えば銅の場合、りん酸などの溶液中で、強電界を金属柱4と、平行平面板に印加して電解エッチングをおこなうと電解エッチングの条件と金属柱の高さ、直径によつて先端の尖つた金属錐4が形成される。その断面図を第7図に示す。

第7図に示すような金属錐4が得られたあと、金属面に金などの酸化しにくい金属をうすくメツ

更に、メモリデバイスのように数多くのチップを一枚のセラミック基板上に搭載することがのぞまれるものについても同様、完全なパンプ溶着がおこなわれぬ限り不可能である。

以上のように、一枚のセラミック基板上に数百〜数千のパンプを溶着して成る半導体装置については、これまでのパンプ溶着方法では、実用上不可能で、何らかの改善が必要であつた。

これから述べる本発明は上記高密度実装の技術的な課題を解消するために有効な手段を提供するものであつて、その効果は極めて著しい。以下、第5〜8図に示す実施例について説明する。

チップ上のパンプ形成に関しては、第1図に示すもの、つまり従来の方法によつて形成する。一方相対する電極は、次のような構造とする。一例として、セラミック基板上に相対する電極を形成する場合について述べる。

第5図に示すように、セラミック基板4に外部リード線4、スルーホール4、ランド4を形成したのち、写真製版技術を用いて、レジスト膜4の

キして、セラミック板上の対向電極の加工をおえる。

次に、第8図に示すように、該セラミック板の電極とチップ上のパンプを位置合せして、加圧することにより、ハンダが軟かいたため、尖つた金属錐にパンプのハンダがくい込んだ形状で、位置止めされる。この状態で高温中半田をリフローさせることによつてパンプ4と金属錐4は電気的にも、機械的にも良好な接触が得られる。

本発明は以上のようにセラミック基板側の対向電極を先端の尖つた形状にすることによつて、パンプとの溶着がより確実となつて、電気的にも、機械的にも良好な接合が得られる以外に、特に、従来、位置決め後にハンダを溶着するまでのハンドリング時に、相互の位置がずれてしまうことがあつたが、この場合ハンダは金属錐に食い込んでいるので位置ずれの心配がない。

従来は、溶着のためにフラックスなどを使用していたが本方法によると、それは不必要となつてシリコンチップ表面の清浄さが保たれて、デバイ

板の溶着後の模式断面図である。

(1)シリコン基板、(2)絶縁膜、(3)接合部、(4)Al
電極、(5)銅、クロム膜、(6)鉛、ヒンダンプ、
10セラミック基板、11スルーホール、12外部リ
ド、13金膜配線層、14ランド、15金膜配線層、
16銅、クロム膜、17鉛、ヒンダンプ、18レジ
スト膜、19金膜円柱、20金膜。

代理人 野 田 信 一 (外1名)

イスの信頼性向上が期待される。

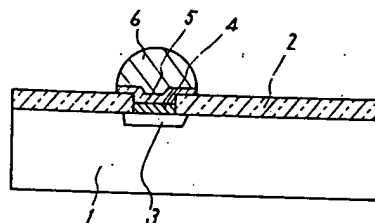
又、各チップのバンプ電極の溶着が完全に行な
われることから、一セラミック基板上に数多くの
チップを搭載することが可能となつて、高密度の
実装が限りなく可能となる効果がある。なお上記
方法は半導体装置に限ることなく、コンデン
サや抵抗体をセラミック基板上に並べて溶着接
するものにも応用される。

また、尖端の尖つた電極を形成するのに、本発
明の例として電解メッキによる円柱形成後の電解
研磨による円錐の形成を例示したが、その他の方
法例えばプラズマエッチング、イオンエッチング
による方法などによつて形成しても差支えない。

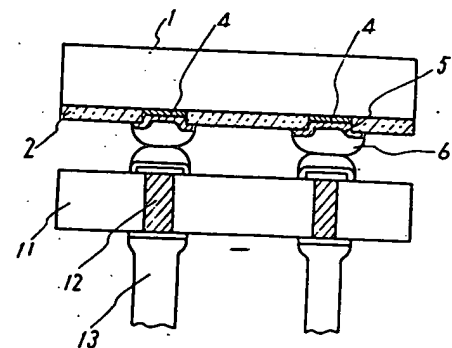
4. 図面の簡単な説明

第1図は半導体チップ上のバンプ形成図、第2
図はセラミック基板上のバンプ形成図、第3図は
半導体チップとセラミック基板との位置合せ状態
図、第4図は同溶着後の模式断面図、第5～7図
は本発明による電極形成のためのプロセス図、第
8図は本発明による半導体チップとセラミック基

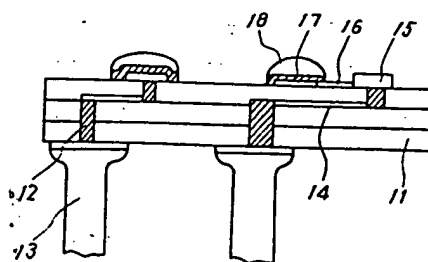
第1図



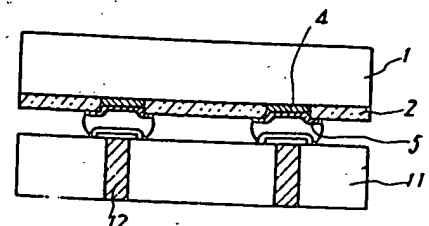
第3図



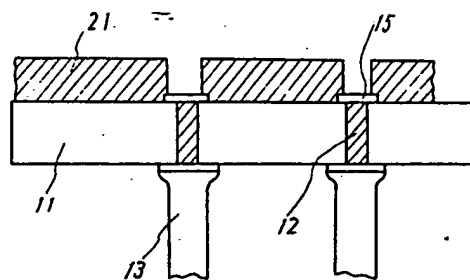
第2図



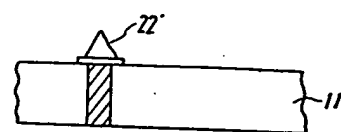
第4図



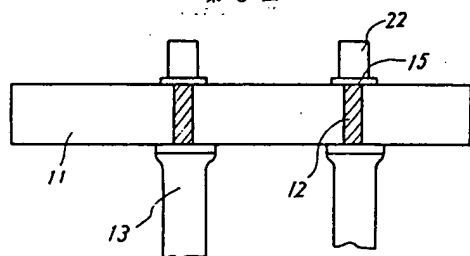
第 5 圖



第 7 圖



第 6 圖



第 8 圖

